

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 46 503 A 1**

⑤1 Int. Cl.⁶:
G 03 F 7/00
H 01 L 21/308

②1 Aktenzeichen: 198 46 503.3
②2 Anmeldetag: 9. 10. 98
④3 Offenlegungstag: 16. 9. 99

③0 Unionspriorität:
988939 11. 12. 97 US
⑦1 Anmelder:
National Semiconductor Corp., Santa Clara, Calif.,
US
⑦4 Vertreter:
Sparing . Röhl . Henseler, 40237 Düsseldorf

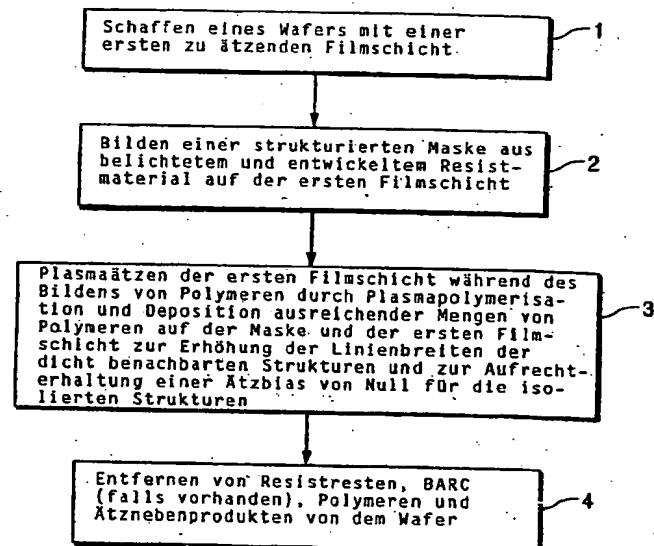
⑦2 Erfinder:
Jin, Raymond R., San Jose, Calif., US; Pushpala,
Sagar M., Sunnyvale, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zum Herstellen von integrierten Schaltkreiselementen

⑤7 Die Erfindung betrifft ein Verfahren zum Herstellen von integrierten Schaltkreiselementen, wobei eine Vielzahl identischer integrierter Schaltkreis-Chips auf einem Wafer geätzt werden, wobei auf einer zu ätzenden ersten Filmschicht eines Wafers (21) eine Schicht aus Resistmaterial aufgebracht und das Resistmaterial zur Bildung einer strukturierten Resistmaske (22) auf der ersten Filmschicht (21) belichtet und entwickelt wird, wobei die Resistmaske (22) ein sich wiederholendes Muster von Resiststrukturen zur identischen Abdeckung jedes der integrierten Schaltkreis-Chips des Wafers (20) aufweist, wobei als Resiststrukturen zum Abdecken jedes der integrierten Schaltkreis-Chips eine erste und eine zweite Resiststruktur aufgebracht werden, wobei die Breite der ersten Resiststruktur kleiner als die Breite der zweiten Resiststruktur ist, und daß die erste Filmschicht (21) zum Bilden einer durch die erste Resiststruktur abgedeckten ersten geätzten Filmschichtstruktur und eine durch die zweite Resiststruktur abgedeckte geätzte Filmschichtstruktur plasmageätzt und Plasmapolymere auf der Resistmaske (22) und der ersten Filmschicht (21) gebildet werden, so daß die Breite der ersten Filmschichtstruktur näher an der Breite der zweiten Filmschichtstruktur liegt als die Breite der ersten Resiststruktur an der Breite der zweiten Resiststruktur.



DE 198 46 503 A 1

Die Erfindung betrifft ein Verfahren zum Herstellen von integrierten Schaltkreiselementen nach dem Oberbegriff des Anspruchs 1.

5 Bekannte Verfahren zum Herstellen von integrierten Schaltkreiselementen verwenden sowohl Lithographie- als auch Ätzprozesse. Während des Lithographieprozesses wird eine Schicht aus Resistmaterial auf einer ersten Filmschicht (oder -schichten) eines Wafers aufgebracht. Wahlweise werden Schichten eines unteren antireflektierenden Beschichtungsmaterials (BARC = "bottom antireflective coating") und eines oberen antireflektierenden Beschichtungsmaterials (TARC = "top antireflective coating") unterhalb bzw. oberhalb der Resistschicht aufgebracht. Anschließend wird die Resistschicht beispielsweise durch Bestrahlung mit I-Linien-Ultraviolettlicht oder tiefultraviolettem Licht, welches durch ein strukturiertes Retikel geschickt wird, belichtet. Dann wird die belichtete Resistschicht entwickelt. Während der Entwicklung werden die Abschnitte der Resistschicht, die dem Licht ausgesetzt oder nicht ausgesetzt waren, je nach Verwendung eines positiven oder negativen Resistmaterials, unter Belassung einer strukturierten Maske entwickelten Resistmaterials auf der ersten Filmschicht gelöst. Das Muster der Maske stimmt mit dem Muster des Retikels überein.

15 Anschließend wird die erste Filmschicht geätzt. Während des Dünnschichtätzschrittes werden die Abschnitte der ersten Dünnschicht, die durch die Maske nicht abgedeckt sind, weggeätzt. Im Ergebnis wird die Struktur der Maske permanent in die erste(n) Dünnschicht(en) geätzt.

Bekannterweise steigt die Geschwindigkeit und die Dichte von Halbleiter-integrierten Schaltkreisen mit abnehmender Größe an. Ein Hindernis für den weiteren Fortschritt bildet ein Lithographie-Phänomen, welches als "optischer Proximity-Effekt" bekannt ist. Als Folge des optischen Proximity-Effekts werden dicht benachbarte Resistlinien und Öffnungen in der Maske eines speziellen Chips tatsächlich dünner oder kleiner ausgebildet als hypothetische identisch große Resistlinien und Öffnungen in der Maske, die isoliert sind. Demzufolge haben entsprechende dicht benachbarte und isolierte Filmschichtlinien oder Löcher, die in die erste Dünnschicht während des nachfolgenden Filmschichtätzschrittes geätzt werden, unterschiedliche Größen. Dieses Phänomen ist als "Critical dimension ("CD") microloading" bekannt.

25 CD-Microloading wirkt sich sowohl auf die Herstellungsausbeute als auch auf die Leistungsfähigkeit des Schaltkreises negativ aus. Bekannte Wege zur Reduzierung von CD-Microloading, wie optische Proximity Korrekturmasksen und Phasenverschiebungsmasken, sind kompliziert und teuer bei der Verwendung in der Massenproduktion.

Ein anderes Hindernis für einen weiteren Anstieg in der Dichte und eine weitere Verringerung der Größe besteht in der Maskenerosion während des Ätzschrittes der ersten Filmschicht. Als Folge der Maskenerosion unterscheidet sich die Größe der Filmschichtstrukturen, die in die erste Filmschicht geätzt sind, von der Größe entsprechender Maskenstrukturen. Beispielsweise sind die Breiten von in die erste Filmschicht geätzten Linien kleiner als die Breite der als Masken für diese Filmschichtlinien verwendeten Resistlinien. Als ein weiteres Beispiel sind in die erste Filmschicht geätzte Kontaktlöcher geringfügig größer als die entsprechenden Löcher in der Resistmaske. Hersteller integrierter Schaltkreise tragen der Resisterosion Rechnung, indem sie Resistmaskenstrukturen bilden, die geringfügig größer (Linien) oder geringfügig kleiner (Löcher) als die entsprechende Filmschichtstruktur sind, die in die erste Filmschicht geätzt werden soll.

35 Der Größenunterschied zwischen einer Maskenstruktur und der durch die Maskenstruktur maskierten und tatsächlich in die erste Filmschicht geätzten Filmschichtstruktur ist als "Ätzbias" des Ätzprozesses bekannt. Der ideale Ätzbias beträgt Null.

Ein Ätzbias kann beispielsweise eingestellt werden, wenn zwischen den Resistlinien der Maske ausreichend Platz besteht. Bei bekannten Bauelementen, bei denen die Resistlinien dicht gepackt sind, können die Abstände zwischen den Maskenstrukturen nicht leicht verringert werden. Ferner ist es zunehmend schwierig, immer kleinere Öffnungen in die Maske zur Kontaktierung von Löchern und Durchgängen zu drucken, da bekannte I-Linien-Photolithographieprozesse an ihre Auflösungsgrenzen stoßen.

Aufgabe der Erfindung ist es, ein Verfahren zum Herstellen von integrierten Schaltkreiselementen nach dem Oberbegriff des Anspruchs zu schaffen, bei dem CD-Microloading beseitigt oder kontrolliert und der Ätzbias beseitigt oder minimiert wird.

Diese Aufgabe wird entsprechend dem kennzeichnenden Teil des Anspruchs 1 gelöst.

Weitere Merkmale der Erfindung sind der nachfolgenden Beschreibung und den Unteransprüchen zu entnehmen.

Die Erfindung wird nachstehend anhand von den in den beigefügten Abbildungen dargestellten Ausführungsbeispielen näher erläutert.

50 **Fig. 1** zeigt ein Flußdiagramm eines Verfahrens zum Ätzen einer ersten Filmschicht eines Wafers.

Fig. 2 zeigt in einer Querschnittsansicht einen Abschnitt eines Chips eines Wafers, auf dem eine strukturierte Maske von entwickelttem Photoresistmaterial gebildet ist, die dicht benachbarte und isolierte Resiststrukturen unterschiedlicher Breite besitzt.

55 **Fig. 3** zeigt ein Flußdiagramm eines alternativen Verfahrens zum Ätzen einer ersten Filmschicht eines Halbleiterwafers.

Mittels des Verfahrens gemäß **Fig. 1** wird ein CD-Microloading von Null, ein Ätzbias von Null für isolierte Strukturen des Chips und ein minimaler Ätzbias für dicht benachbarte Strukturen des Chips erreicht.

60 Gemäß Schritt 1 des Verfahrens von **Fig. 1** wird ein Wafer mit einer oder mehreren zu ätzenden Filmschichten geschaffen. Gemäß **Fig. 2** ist ein Abschnitt eines Wafers 20 entsprechend einem Abschnitt eines integrierten Schaltkreischips im Querschnitt dargestellt. Auf einem einzigen Wafer existiert eine Vielzahl identischer Chips.

Der Wafer 20 weist eine zu ätzende erste Filmschicht 21 auf. Die Art der Filmschicht 21 (oder der Filmschichten) sowie die Anzahl der Filmschichten ist beliebig. Der Ausdruck "erste Filmschicht" wird im folgenden sowohl für eine einzige Filmschicht 21 als auch für einen Stapel von zwei oder mehr Filmschichten verwendet. Beispielsweise kann die erste Filmschicht 21 eine Polysiliciumschicht mit einer oberen Deckoxidschicht sein. Alternativ kann die erste Filmschicht 21 ein Film einer Aluminiumlegierung, ein Nitridfilm oder ein Oxidfilm sein. Unmittelbar benachbart zu der zu ätzenden ersten Filmschicht 21 des Wafers 20 befindet sich typischerweise eine Ätzstoppschicht. Die Ätzstoppschicht kann beispielsweise aus thermischem Oxid bestehen, während die unmittelbar darüberliegende Filmschicht aus Polysilicium, Ni-

trid oder Metall besteht. Alternativ kann benachbart zur ersten Filmschicht 21 ein Siliciumsubstrat vorgesehen sein.

Gemäß Schritt 2 im Verfahren gemäß Fig. 1 wird eine strukturierte Maske von belichtetem- und entwickeltem Resistmaterial auf der ersten Filmschicht 21 gebildet. Hierzu wird ein bekannter Lithographieprozeß verwendet. Der verwendete Lithographieprozeß kann variieren. Geeignete Lithographieprozesse beinhalten Bestrahlung mit I-Linien-ultraviolettem Licht, tiefultraviolettes Licht, Elektronenstrahl oder Röntgen-Lithographieprozesse. Beispielsweise wird in Schritt 2 eine Schicht aus Resistmaterial auf der ersten Filmschicht 21 aufgebracht. Anschließend wird die Resistsschicht I-Linien-ultraviolettem Licht ausgesetzt. Die belichtete Resistsschicht wird dann mittels einer chemischen Lösung unter Bildung einer strukturierten Maske entwickelt.

Vorzugsweise wird der Lithographieprozeß durch ein Fokus- und Belichtungsmatrixexperiment optimiert. Ein solches Experiment ermöglicht es, einen Prozeß auszumachen und zu maximieren, bei dem der Ätzbias und schließlich die Nachätzstruktur größer und unempfindlich für kleine Änderungen in Fokus und Belichtung ist.

Die im Schritt 2 gebildete Resistmaske besitzt ein sich wiederholendes Muster von Resiststrukturen, z. B. Linien und Öffnungen in der Maske, zur identischen Übertragung des Resistmaskenmusters auf jedes der integrierten Schaltkreis-Chips des Wafers 20 während des nachfolgenden Schritts des Ätzens der ersten Filmschicht 21. Gemäß Fig. 2 ist eine strukturierte Maske 22 aus belichtetem und entwickeltem Photoresistmaterial auf der ersten Filmschicht 21 dargestellt. Die Maske 22 entspricht einem Abschnitt der Maske zum Ätzen eines integrierten Schaltkreis-Chips des Wafers 20.

In einer alternativen Ausführungsform wird eine Schicht von BARC-Material (= "bottom antireflective coating" = untere antireflektierende Beschichtung) zwischen der ersten Filmschicht 21 und der Maske 22 aufgebracht.

Die Maske 22 besitzt vier eng benachbarte Resistlinien 23 identischer Größe. Jede Resistlinie 23 besitzt Seitenwände 26. Ferner existieren Öffnungen 25 in der Maske 22 zwischen sämtlichen Resistlinien 23. Im Schritt 3 bedecken die Resistlinien 23 Abschnitte der ersten Filmschicht 21, so daß bei Beendigung von Schritt 3 den Resistlinien 23 entsprechende Filmschichtstrukturen in die erste Filmschicht 21 für jeden Chip geätzt werden.

Die Resistlinien 23 stellen dicht benachbarte Resiststrukturen einer Maske für einen Abschnitt eines Chips des Wafers 20 dar. Die Resistlinien 23 können beispielsweise zueinander einen Abstand von etwa 0,5 µm aufweisen. Solche dicht benachbarte Strukturen können beispielsweise Teil einer Speichermatrix sein.

Die Maske 22 weist ferner eine isolierte Resistlinie 24 auf, die gegenüber den Resistlinien 23 seitlich versetzt ist. Die Resistlinie 24 besitzt Seitenwände 27. Die Resistlinie 24 stellt eine isolierte Resiststruktur der Maske für denselben Chip des Wafers 20 dar. Die Resistlinie 24 kann von anderen Resiststrukturen der Maske 22 beispielsweise um einen Abstand von etwa 1,0 µm oder mehr getrennt sein. Gemäß einem anderen Beispiel kann die isolierte Struktur mindestens zweimal so weit von anderen Resiststrukturen als die am dichtesten benachbarte Struktur entfernt sein. Die Resistlinie 24 kann eine Maske für einen Abschnitt eines analogen Schaltkreises sein.

Während des Schrittes 3 deckt die Resistlinie 23 einen Abschnitt der ersten Filmschicht 21 ab, so daß am Ende von Schritt 3 eine der Resistlinie 24 entsprechende Filmschichtstruktur in die erste Filmschicht geätzt wird.

Die Resistlinie 24 ist breiter als sämtliche Resistlinien 23 dargestellt. Es sei angenommen, daß die Resistlinie 24 eine zu den Resistlinien 23 identische Breite haben sollte, daß jedoch aufgrund des optischen Proximity-Effekts während des Schrittes 2 oder aus einem anderen Grund die Resistlinie 24 mit einer größeren Breite als die Resistlinien 23 gebildet worden ist. Beispielsweise kann die Breite der Resistlinien 23 0,44 bis 0,46 µm und die Breite der Resistlinie 24 0,48 µm betragen. Der Unterschied in der Breite beträgt 0,02 bis 0,04 µm oder bis zu etwa 8% der Breite der isolierten Resistlinie 24.

Im Schritt 3 wird zunächst die erste Filmschicht 21 des Wafers 20 plasmageätzt, und auf der Maske 22 und der ersten Filmschicht 21 werden Polymere durch Plasmapolymersation gebildet. Diese Plasmapolymere werden auf den Seitenwänden 26 und 27 der Maske 22 und auf den Seitenwänden (durch die Resistlinien 23 und 24 abgedeckten) Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, aufgebracht. In Schritt 3 werden Plasmaätzen und Plasmapolymersation ausgeglichen, so daß eine präzise Kontrolle der geätzten Filmschichtstrukturgrößen sowohl für die dicht benachbarten als auch für die isolierten Strukturen für jeden Chip erreicht wird. Plasmapolymersation betrifft die Bildung von Polymeren aus Prozeßgasen, Photoresist und Substratfragmenten. Eine Zugabe von halogenhaltigen Stoffen zu dem Prozeß, wie Cl₂, HBr, BCl₃, C₂F₆ und CF₄ oder anderen Stoffen, die freie Radikale oder Atome hoher Elektronegativität enthalten, fördert die Bildung von Plasmapolymere.

Die Deposition ausgewählter Mengen von Plasmapolymere auf den Seitenwänden ausgewählter Resistlinien oder Öffnungen in der Maske kann der Resisterosion entgegenwirken und bei Deposition in ausreichenden Mengen sogar eine Vergrößerung der Resistmaskenstrukturen bewirken. Zusätzlich ermöglicht eine Deposition ausgewählter Mengen von Plasmapolymere auf den Seitenwänden der Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, eine Steuerung des Ausmaßes der Seitenwandpassivierung. Mit einer solchen Steuerung kann das Ausmaß an horizontalem Ätzen an den Seitenwänden und die letztendliche Breite der Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, präzise reguliert werden.

Um CD-Microloading abzustellen und die für das Verfahren gemäß Fig. 1 oben beschriebenen Ätzbias-Ziele zu erreichen, wird in Schritt 3 eine ausreichende Menge von Plasmapolymere auf den Seitenwänden der isolierten Maskenstrukturen (z. B. der Resistlinie 24) und auf den Seitenwänden der entsprechenden isolierten Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, gebildet, um einen Ätzbias von Null für die isolierten Strukturen aufrechtzuerhalten. In Schritt 3 wird ferner eine relativ größere Menge von Plasmapolymere auf den Seitenwänden der dicht benachbarten Maskenstrukturen (z. B. der Resistlinien 23) und auf den Seitenwänden der entsprechenden dicht benachbarten Filmschichtstrukturen (die in die erste Filmschicht 21 geätzt werden) gebildet. Diese relativ größere Menge von Plasmapolymere, die auf den Seitenwänden der dicht benachbarten Resistlinien 23 und der entsprechenden Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, aufgebracht werden, ist ausreichend, um (1) die Breite der dicht benachbarten Resistlinien 23 zu vergrößern, so daß die Breite der Resistlinien 23 gleich der Breite der isolierten Resistlinie 24 ist; und (2) das Ausmaß an horizontalem Ätzen der ersten Filmschicht 21 benachbart zu den Resistlinien 23 durch Seitenwandpassivierung zu verringern, so daß die endgültigen Breiten der dicht benachbarten Filmschichtstrukturen, die in die erste Filmschicht 21 benachbart zu den Resistlinien 23 geätzt werden, gleich der Breite der durch die Re-

sistlinie 24 abgedeckten isolierten geätzten Filmschichtstruktur sind.

Schritt 3 des Verfahrens von Fig. 1 ist so ausgelegt, daß in den Bereichen der Maske 22 und des Chips mit isolierten Strukturen geringere Mengen von Plasmapolymere gebildet werden als in den Bereichen der Maske 22 und des Chips, die dicht benachbart sind. Wo geringere Mengen von Plasmapolymere gebildet werden, tritt eine geringere Seitenwandpassivierung und ein erhöhtes horizontales Ätzen der Filmschicht an der Seitenwand auf.

Um diese bevorzugte Ätz- und Polymerbildungskapazität zu erreichen, wird in Schritt 3 der Umstand ausgenutzt, daß in den dicht benachbarten Bereichen der Maske 22 (z. B. in den Bereichen der Resistlinie 23) relativ größere Konzentrationen von Resist vorliegen als in den Bereichen isolierter Strukturen (z. B. in den Bereichen der Resistlinie 24). Da in den Bereichen dicht benachbarter Strukturen mehr Resist verfügbar ist, werden in Schritt 3 relativ größere Mengen von passivierenden Plasmapolymere in den dicht strukturierten Bereichen der Maske 22, wo sie am meisten benötigt werden, als in den Bereichen isolierter Strukturen der Maske 22, gebildet.

In Schritt 3 wird ferner die Tatsache ausgenutzt, daß in den dichter strukturierten Bereichen der Maske 22 für einen Chip ein in der Plasmareaktion gebildetes besonders reaktives Polymer eine größere Wahrscheinlichkeit des Aufenthalts und damit der Passivierung an einer Seitenwand in einem dicht strukturierten Bereich als an einer isolierten Seitenwand aufweist. Zur Erklärung kann ein besonders reaktives Plasmapolymere als ein "haftender Ball" angesehen werden, der mit einem Resist oder der Seitenwand einer geätzten Filmschichtstruktur kollidiert und vorübergehend dort anhaftet. Gemäß Fig. 2 kann ein "haftender Ball" in den dicht strukturierten Bereichen der Maske 22, die durch die Resistlinien 23 dargestellt werden, welcher in einem schiefen Winkel in eine Öffnung 25 in der Maske 22 eintritt, im engen Raum zwischen den Seitenwänden 26 einer Resistlinie 23 und einer benachbarten Resistlinie 23 hin- und herspringen. Im Gegensatz dazu springt ein ähnlicher haftender Ball, der in einem schiefen Winkel mit den Seitenwänden 27 der isolierten Resistlinie 24 kollidiert, von der Resistlinie 24 weg. Folglich besteht zu einem bestimmten Zeitpunkt eine größere Wahrscheinlichkeit dafür, daß ein haftender Ball (d. h. ein reaktives Plasmapolymere) sich an einer dicht benachbarten Maske oder einer geätzten Filmschichtseitenwand aufhält und somit passiviert, als an einer isolierten Maske oder geätzten Filmschichtseitenwand.

Schritt 3 wird in einem Plasmaätzreaktor durchgeführt, der zum anisotropen Ätzen geeignet ist. Für unterschiedliche Arten von Filmen sind unterschiedliche Plasmaätzreaktoren und Prozesse verwendbar, so daß je nach Anwendung der Ätzreaktor ausgewählt und der Prozeß angepaßt werden müssen. Der ausgewählte Plasmaätzreaktor und der ausgewählte Prozeß sollten konstante Ätzraten und einen niedrigen Ungleichmäßigkeitswert unterhalb eines speziellen Werts ergeben. Beispielsweise sollte der Drei-Sigma-Ungleichmäßigkeitswert weniger als 10 oder 5 betragen, wobei niedrigere Werte günstiger sind. Verwendbare Plasmaätzreaktoren sind beispielsweise ein TCP-9400-Hoch-Dichte-Niedrig-Druck-Plasmaätzreaktor zum Ätzen von Polysilicium, Nitrid und Oxidfilmen und ein TCP-9600-Hoch-Dichte-Niedrig-Druck-Plasmaätzreaktor zum Ätzen von Aluminiumlegierungsfilmen. Der TCP-9400- und der TCP-9600-Reaktor sind bei Lam Research Corporation, Fremont, Kalifornien, USA, kommerziell erhältlich. Alternativ kann ein MXP-5000-Hoch-Dichte-Niedrig-Druck-Plasmaätzreaktor für Polysiliciumfilme verwendet werden. Der MXP-500-Reaktor ist bei Applied Materials Corporation, Santa Clara, Kalifornien, USA, kommerziell erhältlich.

Die Vereinbarkeit von Ätzraten für einen gegebenen Hoch-Dichte-Niedrig-Druck-Plasmaätzreaktor und das betreffende Verfahren wird durch eine Vielzahl von Faktoren einschließlich Ätzkammer-Bedingung und Säuberung, zuvor im selben Reaktor verwendete Ätzchemikalien und die Ätzkammer-Leerlaufzeit beeinflusst. Diese Faktoren sollten zur Sicherstellung einer konsistenten Ätzrate überwacht werden.

Wenn zwischen der Maske 22 und der ersten Filmschicht 21 eine BARC-Schicht vorhanden ist, muß ein Schritt zum Ätzen der BARC-Schicht vor dem Ätzen der ersten Filmschicht 21 durchgeführt werden. Die Prozeßparameter für diesen BARC-Schicht-Ätzschritt sollten so gewählt werden, daß in lateraler Richtung eine konstante BARC-Schicht-Ätzrate erhalten wird.

Eine konsistente Plasmazündung und ein stabiles Plasma sowohl für den BARC-Schicht-Ätzschritt als auch für den Ätzschritt der ersten Filmschicht 21 kann mittels eines Kammerstabilisierungsschrittes vor dem Zünden des Plasmas erreicht werden. Während dieses Kammerstabilisierungsschrittes werden Ätzkammerdruck und Gaszusammensetzung zur Steuerung der Strukturgrößen optimiert.

Schritt 4 im Prozeß gemäß Fig. 1 dient dazu, verbleibendes Photoresist, BARC-Material (falls vorhanden), Plasmapolymere oder andere Nebenprodukte von Schritt 3 vom Wafer 20 zu entfernen. Hierzu können bekannte Verfahren, wie Naßabstreifung oder eine Kombination aus Ablösung und Naßabstreifung, angewandt werden.

Das Verfahren gemäß Fig. 3 ist bis auf einen Schritt 3A mit dem Verfahren gemäß Fig. 1 identisch. Das Verfahren gemäß Fig. 3 ist zum Erreichen eines CD-Microloading von Null, eines Ätzbias von Null für dicht benachbarte Strukturen des Chips und eines minimalen Ätzbias für isolierte Strukturen des Chips geeignet. Das Verfahren gemäß Fig. 3 führt zu anderen Ergebnissen als das Verfahren gemäß Fig. 1, da im Schritt 3A aus Fig. 3 gegenüber Schritt 3 aus Fig. 1 eine andere Liste von Anweisungen verwendet wird. Schritt 3A ergibt ein anderes Gleichgewicht zwischen Plasmaätzen und Plasmapolymereisation.

Wie im Schritt 3 gemäß Fig. 1 wird im Schritt 3A gemäß Fig. 3 zunächst die erste Filmschicht 21 plasmageätzt, und an den Seitenwänden 26 und 27 der Resistmaskenstrukturen und an den Seitenwänden der entsprechenden Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden, werden Polymere über Plasmapolymereisation gebildet.

Im Schritt 3A aus Fig. 3 werden relativ weniger Polymere an den Seitenwänden der dicht benachbarten und der isolierten Masken- und Ätzfilmschichtstrukturen gebildet als im Schritt 3 aus Fig. 1. Nichts destoweniger reicht die Menge von Plasmapolymere, die auf den Seitenwänden 26 und 27 und den entsprechenden Seitenwänden der Filmschicht während des Schrittes 3A aus Fig. 3 gebildet werden, aus, um (1) einen Ätzbias von Null für die dicht benachbarten Strukturen aufrechtzuerhalten und (2) der überwiegenden, jedoch nicht der gesamten Resisterosion und dem horizontalen Ätzen der isolierten Masken- und Filmschichtstrukturen entgegenzuwirken, so daß die endgültige Breite der dicht benachbarten Filmschichtstrukturen, die in die erste Filmschicht 21 geätzt werden (z. B. die Filmschichtlinien, die durch die Resistlinien 23 abgedeckt sind) gleich der Breite der isolierenden Filmschichtstrukturen sind, die in die erste Filmschicht 21 (z. B. die Filmschichtlinien, die durch die Resistlinie 24 abgedeckt sind) geätzt werden. Nach Schritt 3A bleibt ein klei-

nes Ausmaß an Ätzbias für die isolierten Strukturen übrig, da ein kleines, kontrolliertes Maß an horizontalem Ätzen an den Seitenwänden der isolierten Strukturen existiert.

Die beispielhaften Prozesse aus Fig. 1 und 3 führen beide zu einem CD-Microloading von Null, führen jedoch hinsichtlich des Ätzbias zu geringfügig unterschiedlichen Resultaten. Insbesondere führt Schritt 3 des Verfahrens aus Fig. 1 zu einem Ätzbias von Null für isolierte Strukturen des Chips, wenn auch mit einem kleinen Ätzbias (etwa 0,01 bis 0,02 μm oder bis zu 8%) für dicht benachbarte Strukturen. Dieses Verfahren kann optimal sein, wenn isolierte Strukturen Teile wichtiger analoger Schaltkreise des Chips sind. Im Gegensatz hierzu ergibt Schritt 3A des Verfahrens aus Fig. 3 einen Ätzbias von Null für dicht benachbarte Strukturen des Chips, wenn auch mit einem geringen Ätzbias (etwa 0,01 bis 0,02 μm oder bis zu 8%) für isolierte Strukturen. Dieses zweite Verfahren kann beispielsweise für ein Speicherbauelement optimal sein.

Die Verfahren von Fig. 1 und Fig. 3 führen zu unterschiedlichen Resultaten, da die Prozeßparameter in Schritt 3 aus Fig. 1 gegenüber Schritt 3A von Fig. 3 unterschiedlich gewählt sind. Verfahren, die zu den Resultaten gemäß Fig. 1 oder Fig. 3 oder zu anderen Resultaten führen, können je nach Anwendung gewählt werden.

Beispielsweise können die Prozeßparameter der Schritte 3 oder 3A so eingestellt werden, daß die Differenz in der Breite zwischen den dicht benachbarten und den isolierten geätzten Filmschichtstrukturen ungleich Null ist, jedoch kleiner als die Differenz in der Breite zwischen den dicht benachbarten und den isolierten Resiststrukturen. Während CD-Microloading nicht verhindert wird, können Leistungsfähigkeit und Ausbeute für bestimmte Anwendungen hinreichend verbessert werden, so daß ein solches Verfahren anwendbar ist. Beispielsweise können, während die Differenz in der Breite zwischen den dicht benachbarten und den isolierten Resiststrukturen der Maske für jedes Chip zwischen 0,020 und 0,035 μm oder bis zu 8% der Breite der isolierten Resiststrukturen beträgt, die Breiten der dicht benachbarten geätzten Filmschichtstrukturen und der isolierten geätzten Filmschichtstrukturen so gewählt werden, daß sie eine kleinere Differenz aufweisen, beispielsweise 0,05 μm oder 3% der Breite der isolierten geätzten Filmschichtstrukturen. Ein solches Resultat kann durch Einstellung der Rate des Plasmaätzens und des Ausmaßes der Plasmapolymersation erhalten werden.

Die Erfindung kann auch mit einer optischen Proximity-Korrektur (OPC = "optimal proximity correction")-Maske zur Maximierung des Prozeßfensters kombiniert werden. Dies kann beispielsweise dort vorteilhaft sein, wo bereits eine OPC-Maske für die Anwendung entwickelt worden ist und die Kosten der Maske keinen kritischen Faktor darstellen.

Da Anwendungen und Ätzreaktoren variieren, erfordert das Erreichen eines bestimmten gewünschten Ergebnisses (z. B. des Ergebnisses aus Fig. 1 oder Fig. 3) eine geeignete Auswahl von Prozeßparametern. Für einen Zweielektrodenreaktor, wie der TCP 9400 oder der TCP 9600, sind beispielsweise die folgenden Bereiche von Prozeßparametern verwendbar.

Druck: 0,06 bis 66,66 Pa

RF-Leistung obere Elektrode: 50 bis 1000 W

RF-Leistung untere Elektrode: 0 bis 600 W

Rückverlustrate: < 0,133 Pa/min

Elektrodentemperatur: 50 bis 100 $^{\circ}\text{C}$

Kammerwandtemperatur: 50 bis 100 $^{\circ}\text{C}$.

Zur besseren Erläuterung werden im folgenden drei Beispiele angegeben:

BEISPIEL 1

Das Verfahren von Beispiel 1 führt wie das Verfahren gemäß Fig. 1 zu einem CD-Microloading von Null und einem Ätzbias von Null für isolierte Strukturen des Chips. Ein minimaler Ätzbias in der Größenordnung zwischen 0,01 und 0,02 μm wird für die dicht benachbarten Strukturen des Chips erreicht.

In Schritt 1 wird ein Wafer mit der zu ätzenden ersten Filmschicht 21 geschaffen. In diesem Beispiel ist die erste Filmschicht 21 eine Deckoxidschicht mit einer Dicke von 5 bis 30 nm und eine Schicht eines P-dotierten RTP-Polysiliciumfilms oder eines P-dotierten erhitzten Polysiliciumfilms der Dicke von etwa 250 bis 400 nm. Benachbart zur Polysiliciumfilmschicht befindet sich eine Schicht eines thermischen Oxidfilms der Dicke von etwa 3 bis 10 nm.

In Schritt 2 wird eine strukturierte Maske von belichtetem und entwickeltem Photoresist auf der ersten Filmschicht 21 gebildet. Im Schritt 2 wird ein bekannter Lithographieprozeß mit I-Linien-ultravioletem Licht angewandt, bei dem Fokus und Belichtung durch ein Matrixexperiment optimiert wurden. Der Maskenabschnitt für jeden der identischen Chips des Wafers weist dicht benachbarte Strukturen sowie isolierte Strukturen auf. Die Maske weist eine Differenz zwischen den Breiten einer isolierten Resiststruktur (z. B. der Resistlinie 24) und der dicht benachbarten Strukturen (z. B. der Resistlinien 23) von etwa 0,01 bis 0,02 μm oder etwa 8% der Breite der isolierten Resiststrukturen auf. Das Resistmaterial ist eine Schicht aus Olin OiR897-91-Resist der Dicke von 1000 bis 1300 nm. Dieser Resist ist bei der Olin Corporation (USA) erhältlich. Eine BARC-Schicht wird nicht verwendet.

Schritt 3 wird in einem TCP-9400-Hoch-Dichte-Niedrig-Druck-Plasmareaktor durchgeführt, welcher eine untere und eine obere Elektrode aufweist. Die Elektrodentemperatur beträgt 70 $^{\circ}\text{C}$. Die Kammertemperatur beträgt 60 $^{\circ}\text{C}$. Die im Schritt 3 verwendeten Gase sind Kohlenstofftetrafluorid (CF_4), Bromwasserstoff (HBr), Chlor (Cl_2), Helium (He) und eine Mischung aus 70% Helium und 30% Sauerstoff (He/O_2).

Schritt 3 aus Beispiel 1 umfaßt drei Primäroperationen. Ein Durchbruchätzbetrieb ("BE"), ein Hauptätzbetrieb ("ME") bis zu einem Endpunkt und ein Überätzbetrieb ("OE"), dessen Dauer ein Prozentsatz der Gesamtzeit des Hauptätzbetriebs ist. Zusätzlich, wenn auch hier (oder in den Beispielen 2 und 3) nicht gezeigt, gibt es in jedem Beispiel eine kurze Kammerstabilisierungsdauer (etwa 3 bis 5 s) vor jeder der BE-, ME- und OE-Operationen, während der die RF-Entladung ausgeschaltet ist und die Prozeßgase in die Kammer eingeführt werden.

Nach Beginn der RF-Entladung muß das Plasma für eine kurze Zeitdauer normiert werden, bevor die Messungen der Ätznebenprodukte durchgeführt werden.

Die Parameter der BE-, ME- und OE-Operationen des Schrittes 3 sind im folgenden aufgelistet.

Parameter	BE	ME	OE
Druck (Pa)	1,33	2,66	10,67
RF Leistung oben (w)	250	200	250
RF Leistung unten (w)	150	200	200
CF ₄ (sccm)	100		
Cl ₂ (sccm)		100	
HBr (sccm)		150	100
He (sccm)		50	100
He-O ₂			4
Beendigung	Zeit	bis zum Endpunkt	%
Zeit	25 s	90-150 s	120%

Wenn in einer alternativen Ausführungsform eine organische BARC-Schicht verwendet würde, könnte der BE-Schritt dieses Beispiels, falls erforderlich, verlängert werden, um die BARC-Schicht und Deckoxidschicht zu ätzen.

BEISPIEL 2

Das Verfahren gemäß Beispiel 2 führt wie das Verfahren aus Fig. 1 zu einem CD-Microloading von Null und einem Ätzbias von Null für isolierte Strukturen des Chips. Ein minimaler Ätzbias der Größenordnung zwischen 0,1 und 0,02 μm wird für die dicht benachbarten Strukturen des Chips erreicht.

In Schritt 1 wird ein Wafer mit der zu ätzenden ersten Filmschicht 21 geschaffen. In diesem Beispiel ist die erste Filmschicht 21 eine Schicht eines undotierten kristallinen Polysiliciumfilms oder eines undotierten amorphen Polysiliciumfilms der Dicke von 150 bis 400 nm. Das Polysilicium weist eine sehr dünne obere Eigenoxidschicht der Dicke von etwa 1,5 nm auf. Benachbart zum Polysilicium befindet sich eine Schicht eines thermischen Oxidfilms der Dicke von etwa 3 bis 10 nm.

In Schritt 2 wird eine strukturierte Maske aus belichtetem und entwickeltem Photoresist auf der ersten Filmschicht 21 gebildet. Nach einem Fokus- und Belichtungsmatrixexperiment wird ein bekanntes Lithographieverfahren mit I-Linien-ultraviolett Licht für Schritt 2 verwendet. Der Maskenabschnitt für jeden der identischen Chips des Wafers besitzt dicht benachbarte Strukturen sowie isolierte Strukturen. Die Maske weist eine Differenz zwischen den Breiten der isolierten Strukturen (z. B. die Resistlinie 24) und der dicht benachbarten Resiststrukturen (z. B. die Resistlinien 23) von etwa 0,01 bis 0,02 μm oder etwa 8% der Breite der isolierten Strukturen auf. Das Resistmaterial ist eine Schicht aus Olin-OiR897-9I-Resist der Dicke von 1000 bis 1300 nm. Eine BARC-Schicht wird nicht verwendet.

Schritt 3 wird in einem TCP-9400-Hoch-Dichte-Niedrig-Druck-Plasmareaktor durchgeführt. Die Elektrodentemperatur beträgt 70°C. Die Kammertemperatur beträgt 60°C. Die in Schritt 3 verwendeten Gase sind C₁₄, HBr, Cl₂, He und ein Gemisch aus 70% He und 30% O₂. Die Prozeßparameter für die BE-, ME- und OE-Operationen von Schritt 3 sind im folgenden aufgelistet.

Parameter	BE	ME	OE
Druck. (Pa)	1,33	2,66	10,67
RF Leistung oben (w)	250	240	250
RF Leistung unten (w)	150	120	180
CF ₄	100		
Cl ₂		100	
HBr		200	200
He			100
He-02		14	7
Beendigung	Zeit	bis zum Endpunkt	%
Zeit	30 s	90-150 s (Maximum)	120%

Erneut kann, wenn eine organische BARC-Schicht in einer alternativen Ausführungsform verwendet würde, der BE-Schritt erforderlichenfalls verlängert werden, um die BARC-Schicht und die Eigengateoxidschicht oberhalb des Polysiliciums zu ätzen.

BEISPIEL 3

Das Verfahren von Beispiel 3 ergibt wie das Verfahren gemäß Fig. 3 ein CD-Microloading von Null und eine Ätzbias von Null für dicht benachbarte Strukturen des Chips. Ein minimaler Ätzbias der Größenordnung zwischen 0,01 und 0,02 µm wird für die isolierten Strukturen des Chips erhalten.

In Schritt 1 wird ein Wafer mit der zu ätzenden ersten Filmschicht 21 geschaffen. In diesem Beispiel ist die erste Filmschicht eine oberste erste Schicht eines Nitridfilms der Dicke von 150 bis 200 nm und eine darunterliegende zweite Schicht eines thermischen Oxidfilms der Dicke von etwa 5 bis 25 nm.

In Schritt 2 wird eine strukturierte Maske belichteten und entwickelten Photoresists der ersten Filmschicht 21 gebildet. Nach Optimierung durch ein Fokus- und Belichtungsmatrixexperiment wird für Schritt 2 ein bekannter Lithographieprozeß mit I-Linien-ultravioletttem Licht angewandt. Der Maskenabschnitt für jeden der identischen Chips des Wafers besitzt dicht benachbarte Strukturen und isolierte Strukturen. Die Maske weist eine Differenz zwischen den Breiten der isolierten Strukturen (z. B. der Resistlinie 24) und der dicht benachbarten Strukturen (z. B. der Resistlinien 23, von etwa 0,01 bis 0,02 µm oder etwa 8% der Breite der isolierten Strukturen auf. In diesem Beispiel ist das Resistmaterial eine Schicht aus Olin-OiR897-9R-Resist der Dicke von 1000 bis 1300 nm.

Eine organische BARC-Schicht befindet sich zwischen der Maske 22 und der ersten Filmschicht 21. Die organische BARC-Schicht wird aus SHIPLEY-AR2-601-organischem BARC-Material gebildet und ist etwa 66 nm dick. Dieses organische BARC-Material ist bei der SHIPLEY Company (USA) erhältlich.

Schritt 3A wird in einem TCP-9400-Hoch-Dichte-Niedrig-Druck-Plasmareaktor durchgeführt. Die Elektroden temperatur beträgt 70°C. Die Kammertemperatur beträgt 60°C. Die im Schritt 3A verwendeten Gase sind Cf₄, HBr, He und Schwefelhexafluorid (SF₆).

Schritt 3A aus Beispiel 3 umfaßt BE-, ME- und OE-Operationen. Wegen der organischen BARC-Schicht wird jedoch vor der BE-Operation eine zusätzliche Operation des Ätzens der organischen BARC-Schicht durchgeführt.

Prozeßparameter sind im folgenden aufgelistet:

Parameter	BARC Ätzen	BE	ME	OE
Druck (Pa)	1,33	2,66	5,33	2,66
RF Leistung oben (w)	250	600	550	500
RF Leistung unten (w)	150	50	60	
CF4	100	100	80	
HBr		50	20	50
SF6				50
He				100
Beendigung	Zeit	Zeit	bis zum Endpunkt	
Zeit	5-25 s	30 s	80-120 s	50-90 s

Prozeßparameter sind je nach Anwendung auszuwählen. So sind beispielsweise unterschiedliche Ätzmittel bei Verwendung unterschiedlicher Arten von Filmen (oder Stapel von Filmen als erste Filmschicht 21) erforderlich. Einstellungen der Gasflußrate können die Ätzraten und das Ausmaß der Polymerbildung verändern. Selbst bei Filmen wie die in den Beispielen 1 bis 3 geätzten können Anpassungen der Verfahrensanweisungen erforderlich sein, um unterschiedlichen Filmdicken, unterschiedlichen Arten und Dicken der Resists, dem Vorliegen, der Art und der Dicke von BARC-Schichten, unterschiedlichen Ätzraten und unterschiedlichen Ätzreaktoren Rechnung zu tragen.

Patentansprüche

1. Verfahren zum Herstellen von integrierten Schaltkreiselementen, wobei eine Vielzahl identischer integrierter Schaltkreis-Chips auf einem Wafer geätzt werden, wobei auf einer zu ätzenden ersten Filmschicht eines Wafers (21) eine Schicht aus Resistmaterial aufgebracht und das Resistmaterial zur Bildung einer strukturierten Resistmaske (22) auf der ersten Filmschicht (21) belichtet und entwickelt wird, wobei die Resistmaske (22) ein sich wiederholendes Muster von Resiststrukturen zur identischen Abdeckung jedes der integrierten Schaltkreis-Chips des Wafers (20) aufweist, **dadurch gekennzeichnet**, daß als Resiststrukturen zum Abdecken jedes der integrierten Schaltkreis-Chips eine erste und eine zweite Resiststruktur aufgebracht werden, wobei die Breite der ersten Resiststruktur kleiner als die Breite der zweiten Resiststruktur ist, und daß die erste Filmschicht (21) zum Bilden einer durch die erste Resiststruktur abgedeckten ersten geätzten Filmschichtstruktur und eine durch die zweite Resiststruktur abgedeckte geätzte Filmschichtstruktur plasmageätzt und Plasmapolymere auf der Resistmaske (22) und der ersten Filmschicht (21) gebildet werden, so daß die Breite der ersten Filmschichtstruktur näher an der Breite der zweiten Filmschichtstruktur liegt als die Breite der ersten Resiststruktur an der Breite der zweiten Resiststruktur.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Breite der ersten geätzten Filmschichtstruktur genauso groß wie die Breite der zweiten geätzten Filmstruktur gewählt wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß als Resistmaske (22) eine Vielzahl der ersten Resiststrukturen für jedes integrierte Schaltkreis-Chip aufgebracht werden und die ersten Resiststrukturen voneinander um einen Abstand von etwa 0,5 µm getrennt sind.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die zweite Resiststruktur von anderen Resiststrukturen der Resistmaske (22) um einen Abstand von mindestens etwa 1,0 µm getrennt ist.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Breite der ersten Resiststrukturen vor dem Plasmaätzen und dem Bilden von Plasmapolymere etwa genauso groß wie die Breite der ersten geätzten Filmschichtstruktur gewählt wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Breite der ersten Resiststrukturen vor dem Plasmaätzen und dem Bilden von Plasmapolymere kleiner als die Breite der ersten geätzten Filmschichtstruktur gewählt wird.
7. Verfahren zum Herstellen von integrierten Schaltkreiselementen, wobei eine Vielzahl identischer integrierter Schaltkreis-Chips auf einem Wafer geätzt werden, wobei auf einer zu ätzenden ersten Filmschicht eines Wafers (21) eine Schicht aus Resistmaterial aufgebracht und das Resistmaterial zur Bildung einer strukturierten Resistmaske (22) auf der ersten Filmschicht (21) belichtet und entwickelt wird, wobei die Resistmaske (22) ein sich wiederholendes Muster von Resiststrukturen zur identischen Abdeckung jedes der integrierten Schaltkreis-Chips des Wafers (20) aufweist, insbesondere nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Breite der zweiten Resiststruktur vor dem Plasmaätzen und dem Bilden von Plasmapolymere etwa genauso groß wie die Breite der zweiten geätzten Filmschichtstruktur gewählt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß bei Seitenwände (26, 27) aufweisenden ersten und zweiten Resiststrukturen und bei Seitenwände aufweisenden ersten und zweiten geätzten Filmschichtstrukturen eine ausgewählte Menge an Plasmapolymere auf den Seitenwänden (26, 27) der ersten und zweiten Resiststrukturen und auf den Seitenwänden der ersten und zweiten geätzten Filmschichtstrukturen gebildet wird und auf der Seitenwand der ersten Resiststruktur und der Seitenwand der ersten Filmschichtstruktur eine größere Menge an Plasmapolymere als auf der Seitenwand der zweiten Resiststruktur und auf der Seitenwand der zweiten Filmschichtstruktur gebildet wird.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

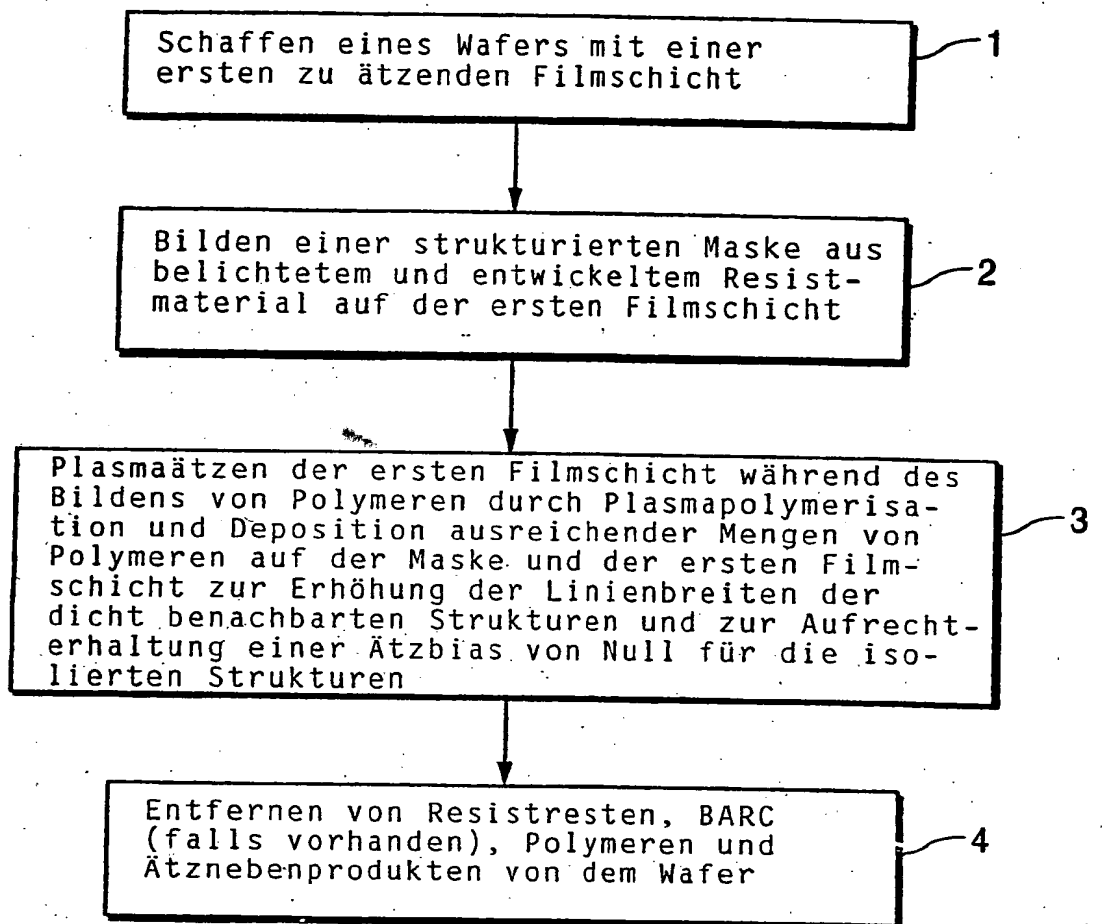


FIG. 1

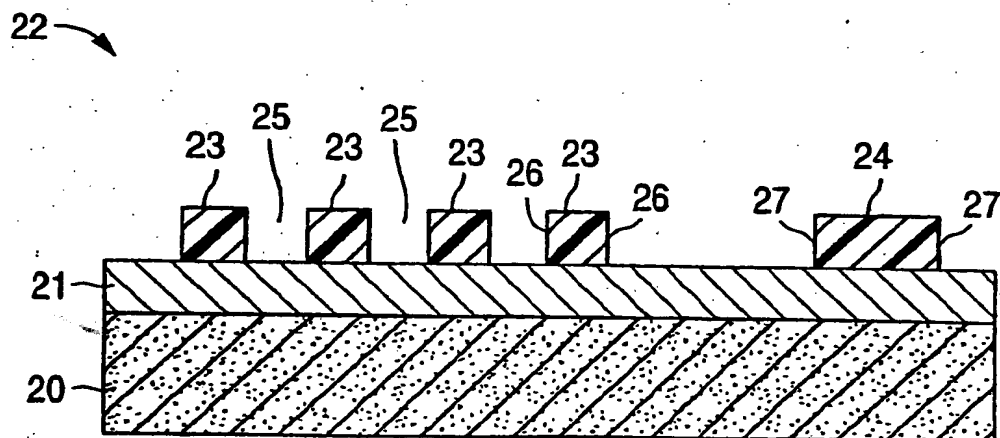


FIG. 2

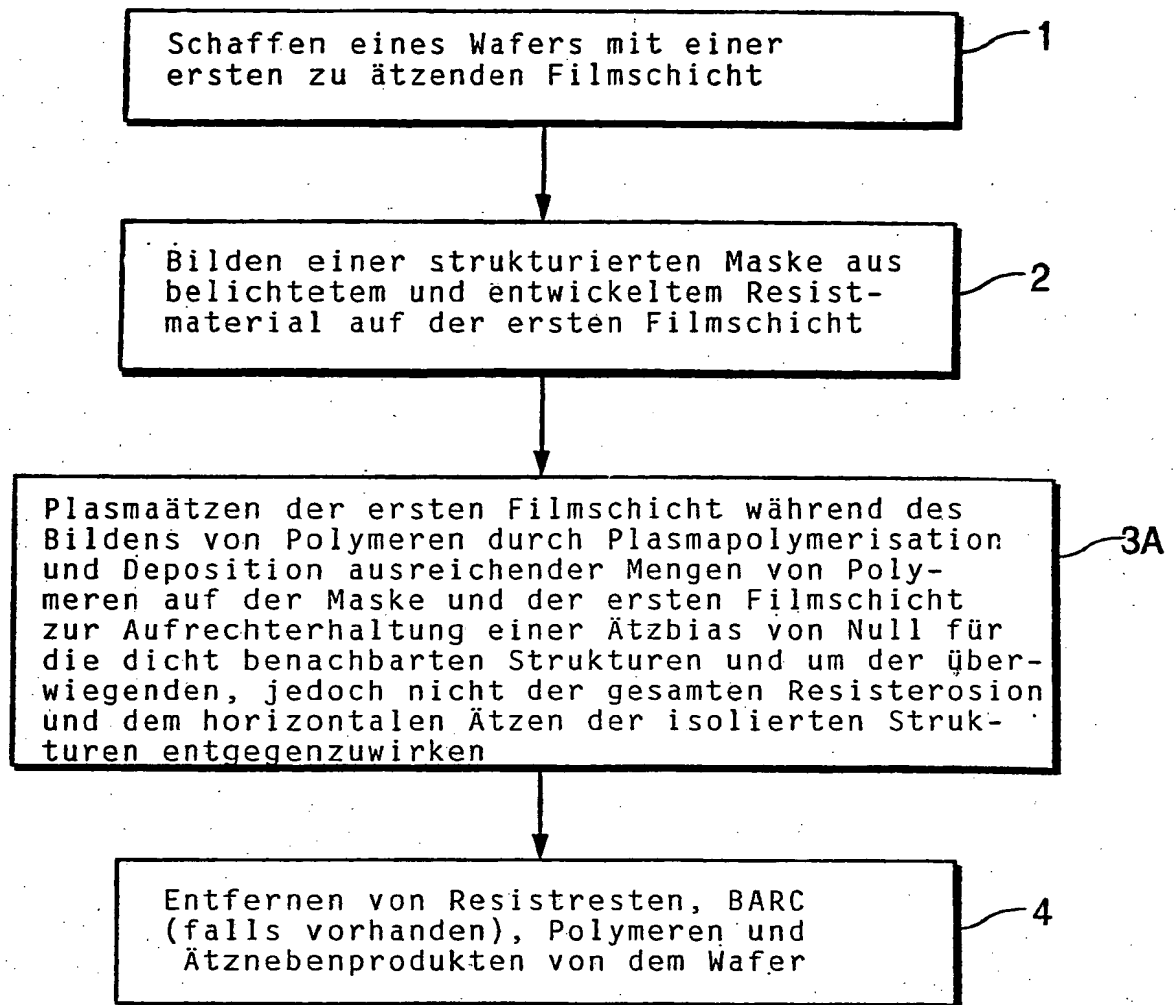


FIG. 3

Production of integrated circuit elements where CD microloading is eliminated or controlled and etching biasing is eliminated or minimized

Patent Number: DE19846503
Publication date: 1999-09-16
Inventor(s): JIN RAYMOND R (US); PUSHPALA SAGAR M (US)
Applicant(s): NAT SEMICONDUCTOR CORP (US)
Requested Patent: ☐ DE19846503
Application Number: DE19981046503 19981009
Priority Number(s): US19970988939 19971211
IPC Classification: G03F7/00; H01L21/308
EC Classification: H01L21/3065, H01L21/311B2B, H01L21/311D2B, H01L21/3213C4B, H01L21/3213C4B2
Equivalents:

Abstract

A first and second resist structure cover each of the IC chips. The width of the first structure is less than that of the second. A first film layer forms a film layer structure. Plasma polymers are formed on the resist mask and first film layer structure so that the width of the first film layer structure is closer to the second film layer structure than the width of the first resist structure. Production of integrated circuit elements comprises etching a number of identical integrated circuit chips on a wafer, by applying a resist material layer on a first film layer of a wafer (21) and irradiating the resist material to form a structured resist mask (22) on the first film layer (21), then developing. The resist mask (22) has a repeating pattern of resist structures to identically cover each of the chips. A first and second resist structure cover each of the integrated circuit chips, the width of the first structure being less than that of the second. The first film layer (21) is plasma-etched to form a film layer structure and plasma polymers are formed on the resist mask (22) and first film layer structure so that the width of the first film layer structure is closer to that of the second film layer structure than the width of the first resist structure.

Data supplied from the esp@cenet database - I2

DOCKET NO: M&N-IT-467

SERIAL NO: 10/621,535

APPLICANT: Blöcker et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

Deutsches Patent- und Markenamt · 80297 München

Aktenzeichen: 102 33 2 05.3-57
Ihr Zeichen: IT 467
Anmeldernr.: 10423648
Infineon Technologies AG

Patentanwälte
Maikowski & Ninnemann
Postfach 150920

10671 Berlin

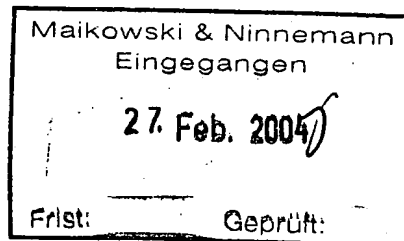
allen Eingaben und Zahlungen angeben

Zutreffendes ist angekreuzt ☒ und/oder ausgefüllt

Prüfungsantrag, Einzahlungstag am 17. Okt. 2002

Eingabe vom

eingegangen am



Die weitere Prüfung der oben genannten Patentanmeldung hat zu dem nachstehenden Ergebnis geführt.

Zur Äußerung wird eine Frist von

6 Monat(en)

gewährt, die mit der Zustellung beginnt.

Für Unterlagen, die der Äußerung gegebenenfalls beigelegt werden (z.B. Beschreibung, Beschreibungsteile, Patentansprüche, Zeichnungen), sind je zwei Ausfertigungen auf gesonderten Blättern erforderlich. Die Äußerung selbst wird nur in einfacher Ausfertigung benötigt.

Werden die Beschreibung, die Patentansprüche oder die Zeichnungen im Laufe des Verfahrens geändert, so hat der Anmelder, sofern die Änderungen nicht vom Deutschen Patent- und Markenamt vorgeschlagen sind, im Einzelnen anzugeben, an welcher Stelle die in den neuen Unterlagen beschriebenen Erfindungsmerkmale in den ursprünglichen Unterlagen offenbart sind.

Hinweis auf die Möglichkeit der Gebrauchsmusterabzweigung

Der Anmelder einer mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmustergesetz) ist bis zum Ablauf von 2 Monaten nach dem Ende des Monats möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), welches kostenlos beim Patent- und Markenamt und den Patentinformationszentren erhältlich ist.

**Dokumentenannahme
und Nachbriefkasten
nur
Zweibrückenstraße 12**

Hauptgebäude
Zweibrückenstraße 12
Zweibrückenstraße 5-7 (Breiterhof)
Markenabteilungen:
Cincinnatistraße 64
81534 München

Hausadresse (für Fracht)
Deutsches Patent- und Markenamt
Zweibrückenstraße 12
80331 München

Telefon (089) 2195-0
Telefax (089) 2195-2221
Internet: <http://www.dpma.de>

Bank:
BBk München
Kto.Nr.: 700 010 54
BLZ: 700 000 00
BIC (SWIFT-Code): MARKDEF1700
IBAN: DE84 7000 0000 0070 0010 54

2401.1 S-Bahnanschluss im
10.03 Münchner Verkehrs- und
Tarifverbund (MVV): ➔

Zweibrückenstr. 12 (Hauptgebäude)
Zweibrückenstr. 5-7 (Breiterhof)
S1 - S8 Haltestelle Isartor

Cincinnatistraße:
S2 Haltestelle Fasangarten

(1) DE 198 46 503 A1

Als nächstkommender Stand der Technik wurde die Druckschrift (1) ermittelt. Zwar betrifft die Druckschrift (1) eine andere Lösung des auch dem Anmeldungsgegenstand zugrundeliegenden Problems, aber in der Beschreibungseinleitung wird ausgesagt, dass der Loading-Effekt üblicherweise durch Änderung der Resistmaskenstrukturen, also auch der Vorlagen, korrigiert wird.

Da der Anmeldungsgegenstand darüber hinaus lokale Änderungen des Loadingeffektes berücksichtigt, kann er durch den Stand der Technik nach (1) nicht nahegelegt werden. Der Anspruch 1 und die ihm untergeordneten Ansprüche 2 bis 9 sind daher voraussichtlich gewährbar. Die Nebenansprüche 10 bis 12 sind schon deshalb nicht gewährbar, weil sie dem Fachmann keinerlei Lehre vermitteln wie ein solches Datentverarbeitungssystem oder Programm beschaffen sein soll. Die Beschreibung gibt dazu auch nichts her.

Die Anmelderin möge nun überarbeitete Unterlagen vorlegen, die den Stand der Technik würdigen und in der die nicht gewährbaren Ansprüche gestrichen sind um eine Patenterteilung zu ermöglichen.

Mit den vorliegenden Unterlagen kann eine Patenterteilung nicht in Aussicht gestellt werden; es muss vielmehr mit der Zurückweisung der Anmeldung gerechnet werden.

Falls eine Äußerung in der Sache nicht beabsichtigt ist, wird eine formlose Mitteilung über den Erhalt des Bescheides erbeten.

Prüfungsstelle für Klasse G 03 F

Dr. Eckart

Hausruf: 3207

Anlage:

Abl. von 1 Druckschrift

We

DOCKET NO: M&N-IT-467

SERIAL NO: 10/621,535

APPLICANT: Blöcker et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100